

日本国特許庁
JAPAN PATENT OFFICE

ASHIDA
January 16, 2004
BSK & LLP
703-205-8000
1248-6683 p
lot 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月 5日

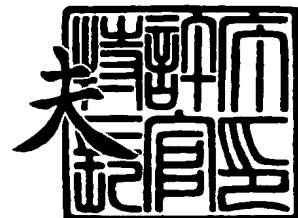
出願番号
Application Number: 特願2003-058126
[ST. 10/C]: [JP 2003-058126]

出願人
Applicant(s): シャープ株式会社

2003年10月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3084431

【書類名】 特許願

【整理番号】 03J00180

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 27/22
H04N 5/44

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 芦田 伸之

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路

【特許請求の範囲】

【請求項 1】

可変利得増幅器を有する R F 回路と増幅率制御回路を有するデジタル復調回路とを 1 パッケージで構成したフロントエンドの集積回路において、

上記 R F 回路内の可変利得増幅器への増幅率制御信号の入力として、上記デジタル復調回路が出力する自動利得制御ループによる内部信号を用いる場合と、自動利得制御ループを切り離して、固定値信号を直接与える場合とを切り替える切替手段が設けられているとともに、

上記切替手段は、切替制御信号により切り替えられることを特徴とする集積回路。

【請求項 2】

前記切替手段を切り替えるための切替制御信号は、外部から入力されることを特徴とする請求項 1 記載の集積回路。

【請求項 3】

前記切替手段を切り替えるための切替制御信号を出力する切替制御信号発生手段が設けられていることを特徴とする請求項 1 記載の集積回路。

【請求項 4】

前記 R F 回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる固定値信号は、外部から入力される試験用制御電圧であることを特徴とする請求項 1 記載の集積回路。

【請求項 5】

前記 R F 回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる試験用の固定値信号を出力する試験用固定値信号発生手段が設けられていることを特徴とする請求項 1 記載の集積回路。

【請求項 6】

前記デジタル復調回路には、自動利得制御ループ内に、前記 R F 回路内の可変

利得増幅器への増幅率制御信号を発生させる増幅率制御信号発生器を有する増幅率制御回路が設けられる一方、

前記切替手段は、上記増幅率制御回路における上記増幅率制御信号発生器の前段に設けられていることを特徴とする請求項 1 記載の集積回路。

【請求項 7】

前記 R F 回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる試験用の固定値信号に相当する試験用増幅率制御信号を前記増幅率制御信号発生器に前記切替手段を介して出力する試験用増幅率制御信号発生手段が増幅率制御回路内に設けられていることを特徴とする請求項 6 記載の集積回路。

【請求項 8】

前記 R F 回路から出力されるベースバンドアナログ出力を、前記デジタル復調回路に直接入力する場合と、検査用出力端子を介して外部に取り出す場合とを、出力取り出し切替用制御信号により切り替えるスイッチ回路が設けられていることを特徴とする請求項 1 記載の集積回路。

【請求項 9】

前記スイッチ回路と検査用出力端子との間には、駆動回路が設けられていることを特徴とする請求項 8 記載の集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波信号を受信するためのフロントエンドの集積回路に関するものであり、特に、R F 回路とデジタル復調回路とを 1 パッケージで構成した集積回路に関するものである。

【0002】

【従来の技術】

R F (Radio Frequency) 回路とデジタル復調回路とを 1 パッケージで構成した従来のフロントエンド集積回路について、以下に説明する。

【0003】

一般的な1パッケージフロントエンド集積回路100は、図8に示すように、1パッケージの中にRF回路部110とデジタル復調回路部120とを有している。

【0004】

上記RF回路部110は、高周波信号を増幅するRF可変利得増幅器101と、I/Qベースバンド信号に直交変調する変調部102と、I/Qベースバンド信号を増幅するベースバンド可変利得増幅器103から構成されている。

【0005】

また、デジタル復調回路部120は、上記I/Qベースバンド信号をI/Qデジタル信号に変換するアナログ/デジタル変換回路121を備え、上記I/Qデジタル信号を復調するようになっている。

【0006】

このようなRF回路部110とデジタル復調回路部120とを1パッケージで構成したフロントエンド集積回路100では、RF回路部110とデジタル復調回路部120との間は、ベースバンド信号(BBS)線131・131と、増幅率制御信号(以下、「AGC(Automatic Gain Control)信号」と呼ぶ)線132を通して内部で接続されている。

【0007】

通常の動作状態では、デジタル復調回路部120への入力レベルを一定に保つようにフィードバックループを構成している。すなわち、RF回路部110からのI/Qベースバンドアナログ出力であるベースバンド信号(BBS)を、デジタル復調回路部120に入力し、アナログ/デジタル変換する。ここで、デジタル復調回路部120の増幅率制御回路122は、デジタル回路にて構成され、デジタルに変換されたベースバンド出力のレベルを検出し、検出したレベルに応じて、デジタル復調回路部120への入力信号レベルを一定に保つように、デジタルAGC信号を出力する。このデジタルAGC信号をデジタル/アナログ変換し、RF回路部110のAGC入力に与える。

【0008】

上記RF回路部110の試験項目には例えば以下のものがあげられる。

- ・ 最大利得、最小利得、及び利得の最大可変範囲等の利得特性
- ・ I/Q ベースバンド信号 (BBS) のレベル差
- ・ I/Q ベースバンド信号 (BBS) の位相差 (直交性)
- ・ 位相雑音特性

なお、上述のような 1 パッケージフロントエンド集積回路 100 の RF 回路部 110 に対する試験方法の従来技術としては、例えば、特許文献 1 に示されるように、自動利得制御ループ (以下、「AGC ループ」と呼ぶ) を閉じた状態で試験を行うものがある。

【0009】

【特許文献 1】

特開 2002-232498 号公報 (平成 14 年 8 月 16 日公開)

【0010】

【発明が解決しようとする課題】

しかしながら、上記従来集積回路では、RF 回路部 110 内の RF 可変利得増幅器 101 への AGC 入力には、デジタル復調回路部 120 の出力信号が直接接続され、AGC ループを構成しているため、RF 回路部 110 に含まれる RF 可変利得増幅器 101 の増幅率特性等を短時間で試験することができないという問題点を有している。

【0011】

つまり、最大利得及び最小利得の値やこの 2 値から利得の最大可変範囲をテストしようとしたとき、入力信号のレベルをスイープし、AGC ループの収束後の AGC 信号レベルを評価する、或いは、エラー訂正前のビット誤り率 (BER: Bit Error Ratio) をモニタしながら、ビット誤り率 (BER) が一定値を割るレベルを繰り返し探す、といったことが必要となり、多くのテスト時間が必要となる。

【0012】

同様に、電圧制御発振器 (VCO: Voltage Controlled Oscillator) の位相雑音テスト、I/Q 位相差等、出力レベルにあまり依存しないテストも、AGC が収束するまで、テストプログラムに待ち時間を設定しなければならず、テスト時間の無駄になっている。

【0013】

また、上記制御が可能になったとしても、ビット誤り率(BER)の低下を恐れてベースバンド信号が集積回路外部に出ないため、RF部のみの特性テストを行なう際の制約になっている。特に、I/Q位相差や位相雑音といった特性の評価は、受信信号のビット誤り率(BER)特性等をモニタするしか方法がなく、テスト時間を多く必要とする。

【0014】

さらに、RF回路部110の試験を行うためには、デジタル復調回路部120にRF回路試験用の手段を設ける必要があり、試験精度の劣化、回路の大型化、といった問題がある。

【0015】

仮に、出力端子が出ていたとしても、測定器に接続するには、集積回路(IC: Integrated Circuit)外部に駆動回路を設ける必要があり、I/Q信号を扱う場合は、その外部駆動回路の相対性が結果に影響を及ぼすため、そのディスクリート部品を使う回路設計は、非常に注意を払わなくてはならなかった。

【0016】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、RF回路に含まれる可変利得増幅器の増幅率特性やその他のRF回路のテストを容易に行い得る集積回路を提供することにある。

【0017】**【課題を解決するための手段】**

本発明の集積回路は、上記課題を解決するために、可変利得増幅器を有するRF回路と増幅率制御回路を有するデジタル復調回路とを1パッケージで構成したフロントエンドの集積回路において、上記RF回路内の可変利得増幅器への増幅率制御信号の入力として、上記デジタル復調回路が出力する自動利得制御ループによる内部信号を用いる場合と、自動利得制御ループを切り離して、固定値信号を直接与える場合とを切り替える切替手段が設けられているとともに、上記切替手段は、切替制御信号により切り替えられることを特徴としている。

【0018】

上記の発明によれば、切替手段によって、RF回路内の可変利得増幅器への増幅率制御信号の入力として、上記デジタル復調回路が出力する自動利得制御ループによる内部信号を用いる場合と、自動利得制御ループを切り離して、固定値信号を直接与える場合とを切り替えることができる。

【0019】

したがって、RF回路の試験をする際に、増幅率制御信号に任意の固定値を与えることができ、増幅率特性等を直接容易に試験することができる。また、自動利得制御ループが収束するまでの待ち時間を設ける必要がなく、短時間に試験をすることができるので、テストにかかる費用を抑えることができる。

【0020】

また、切替手段は、切替制御信号により切り替えられるので、切替手段の操作が容易である。

【0021】

この結果、RF回路に含まれる可変利得増幅器の増幅率特性やその他のRF回路のテストを容易に行い得る集積回路を提供することができる。

【0022】

また、本発明の集積回路は、上記記載の集積回路において、前記切替手段を切り替えるための切替制御信号は、外部から入力されることを特徴としている。

【0023】

上記の発明によれば、切替手段を切り替えるための切替制御信号は、外部から入力されるので、集積回路の内部に検査用の回路を追加して集積回路を大型化することがない。したがって、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、チップ面積に対する制約が大きいときに有効である。

【0024】

また、本発明の集積回路は、上記記載の集積回路において、前記切替手段を切り替えるための切替制御信号を出力する切替制御信号発生手段が設けられていることを特徴としている。

【0025】

上記の発明によれば、切替手段を切り替えるための切替制御信号は、切替制御

信号発生手段から出力される。

【0026】

したがって、外部接続用の検査用ピンを追加する必要があるため、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効である。

【0027】

また、本発明の集積回路は、上記記載の集積回路において、前記RF回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる固定値信号は、外部から入力される試験用制御電圧であることを特徴としている。

【0028】

上記の発明によれば、自動利得制御ループを切り離れたときに、RF回路内の可変利得増幅器への増幅率制御信号の入力として、試験用制御電圧を固定値信号として外部から与えることができる。

【0029】

このため、外部から試験用制御電圧が入力されるので、集積回路の内部に検査用の回路を追加して回路を大型化することがない。したがって、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、チップ面積に対する制約が大きいときに有効である。

【0030】

また、本発明の集積回路は、上記記載の集積回路において、前記RF回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる試験用の固定値信号を出力する試験用固定値信号発生手段が設けられていることを特徴としている。

【0031】

上記の発明によれば、直接与えられる試験用の固定値信号を、集積回路内に設けられた試験用固定値信号発生手段にて発生させる。

【0032】

このため、外部接続用の検査用ピンを追加する必要があるないので、製造コストを

抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効である。

【0033】

また、本発明の集積回路は、上記記載の集積回路において、前記デジタル復調回路には、自動利得制御ループ内に、前記RF回路内の可変利得増幅器への増幅率制御信号を発生させる増幅率制御信号発生器を有する増幅率制御回路が設けられる一方、前記切替手段は、上記増幅率制御回路における上記増幅率制御信号発生器の前段に設けられていることを特徴としている。

【0034】

上記の発明によれば、デジタル復調回路には、自動利得制御ループ内に、前記RF回路内の可変利得増幅器への増幅率制御信号を発生させる増幅率制御信号発生器を有する増幅率制御回路が設けられる。また、切替手段は、増幅率制御回路における上記増幅率制御信号発生器の前段に設けられている。

【0035】

このため、自動利得制御ループを切り離して直接与える可変利得増幅器の増幅率制御信号入力として、デジタル復調回路の増幅率制御回路からの制御信号を用いることができる。

【0036】

したがって、本発明では、RF回路とデジタル復調回路とが1チップで構成されたフロントエンド集積回路で特に有効である。

【0037】

また、本発明の集積回路は、上記記載の集積回路において、前記RF回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる試験用の固定値信号に相当する試験用増幅率制御信号を前記増幅率制御信号発生器に前記切替手段を介して出力する試験用増幅率制御信号発生手段が増幅率制御回路内に設けられていることを特徴としている。

【0038】

上記の発明によれば、自動利得制御ループを切り離して、直接与えられる試験用の固定値信号に相当する試験用増幅率制御信号を前記増幅率制御信号発生器に

切替手段を介して出力する試験用増幅率制御信号発生手段は増幅率制御回路内に設けられている。

【0039】

このため、外部接続用の検査用ピンを追加する必要がないので、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効である。

【0040】

また、本発明の集積回路は、上記記載の集積回路において、前記RF回路から出力されるベースバンドアナログ出力を、前記デジタル復調回路に直接入力する場合と、検査用出力端子を介して外部に取り出す場合とを、出力取り出し切替用制御信号により切り替えるスイッチ回路が設けられていることを特徴としている。

【0041】

上記の発明によれば、スイッチ回路を出力取り出し切替用制御信号にて制御することにより、RF回路から出力されるベースバンドアナログ出力を、前記デジタル復調回路に直接入力する場合と、検査用出力端子を介して外部に取り出す場合とを切り替える。

【0042】

このため、RF回路の出力を直接取り出すことができるので、デジタル復調回路にRF回路試験用の手段を設けることなく、RF回路の試験を行うことができる。

【0043】

したがって、集積回路を大型化させることなく、精度良く、さらに短時間でRF回路の試験を行うことができ、製造及びテストにかかるコストを抑えることができる。

【0044】

また、本発明の集積回路は、上記記載の集積回路において、前記スイッチ回路と検査用出力端子との間には、駆動回路が設けられていることを特徴としている。

【0045】

上記の発明によれば、検査用ピンとして集積回路外に取り出す場合に、その出力信号に駆動回路を付けたので、入力インピーダンスが低い測定器に対しても、高精度の測定に十分な信号レベルを供給することができる。

【0046】

また、本実施の形態では、駆動回路は集積回路の内部に設けられているので、駆動回路は、高い相対性を持たせることができ、精度よく I/Q 信号のレベル差、位相差を試験することができる。

【0047】

【発明の実施の形態】

〔実施の形態 1〕

本発明の実施の一形態について図 1 ないし図 5 に基づいて説明すれば、以下の通りである。

【0048】

本実施の形態の集積回路としてのフロントエンド集積回路 1 は、図 1 に示すように、1 パッケージの中に RF (Radio Frequency) 回路としての RF 回路部 10 とデジタル復調回路としてのデジタル復調回路部 20 とを有している。

【0049】

上記 RF 回路部 10 は、高周波信号を増幅する可変利得増幅器としての RF 可変利得増幅器 11 と、I/Q ベースバンド信号に直交変調する変調部 12 と、I/Q ベースバンド信号を増幅する可変利得増幅器としてのベースバンド可変利得増幅器 13・13 とから構成されている。

【0050】

また、デジタル復調回路部 20 は、上記 I/Q ベースバンド信号を I/Q デジタル信号に変換するアナログ/デジタル変換回路 21 と増幅率制御回路 22 とを備え、RF 回路部 10 からの I/Q デジタル信号を復調するようになっている。

【0051】

このような RF 回路部 10 とデジタル復調回路部 20 とを 1 パッケージで構成したフロントエンド集積回路 1 では、RF 回路部 10 とデジタル復調回路部 20

との間は、ベースバンド信号（B B S : Base Band Signal）線 2 ・ 2 にて接続されている。

【 0 0 5 2 】

一方、本実施の形態では、増幅率制御回路 2 2 からの増幅率制御信号（以下、「A G C 信号」と呼ぶ）線 3 は、A G C 信号入力切り替えスイッチ 3 0 を介して R F 回路部 1 0 の R F 可変利得増幅器 1 1 及びベースバンド可変利得増幅器 1 3 ・ 1 3 に入力されている。

【 0 0 5 3 】

すなわち、この増幅率制御回路 2 2 によって、デジタル復調回路部 2 0 への入力レベルを一定に保つようにフィードバックループが構成されている。

【 0 0 5 4 】

上記のフロントエンド集積回路 1 では、R F 回路部 1 0 からの I / Q ベースバンドアナログ出力であるベースバンド信号（B B S）が、デジタル復調回路部 2 0 に入力されアナログ／デジタル変換される。ここで、デジタル復調回路部 2 0 の増幅率制御回路 2 2 は、デジタル回路にて構成され、デジタルに変換されたベースバンド出力のレベルを検出し、その検出したレベルに応じて、デジタル復調回路部 2 0 への入力信号レベルを一定に保つように、デジタルの A G C（Automatic Gain Control: 自動利得制御）信号を出力する。そして、このデジタル A G C 信号をデジタル／アナログ変換し、R F 回路部 1 0 の A G C 入力に与えるようになっている。

【 0 0 5 5 】

ところで、R F 回路部 1 0 については、例えば次の試験項目について試験する必要がある。

- ・ 最大利得や最小利得、及び利得の最大可変範囲等の利得特性
- ・ I / Q ベースバンド信号（B B S）のレベル差
- ・ I / Q ベースバンド信号（B B S）の位相差（直交性）
- ・ 位相雑音特性

しかしながら、従来の集積回路では、R F 回路部内の R F 可変利得増幅器への A G C 入力には、デジタル復調回路部の出力信号が直接接続されて A G C ループ

を構成しているため、R F 回路部に含まれる R F 可変利得増幅器の増幅率特性等を短時間で試験することができないという問題点を有していた。

【 0 0 5 6 】

そこで、本実施の形態では、切替手段としての A G C 信号入力切替スイッチ 3 0 によって、R F 回路部 1 0 内の R F 可変利得増幅器 1 1 への A G C 入力として、デジタル復調回路部 2 0 が出力する自動利得制御ループによる内部信号である A G C 信号を用いる場合と、自動利得制御ループを開放し、固定値信号としてのテスト用 A G C 信号を直接与える場合とを、切替制御信号としての A G C 信号入力切替信号 T E S T により切り替えることができるようになっている。

【 0 0 5 7 】

すなわち、通常の動作状態では、R F 回路部 1 0 からの I / Q ベースバンドアナログ出力を、アナログ / デジタル変換する。さらに、レベルを検出し、検出したレベルに応じた A G C 信号をデジタル / アナログ変換し、R F 回路部 1 0 の A G C 入力に与える。

【 0 0 5 8 】

一方、フロントエンド集積回路 1 の R F 特性試験時には、A G C 信号入力切替信号 T E S T により、R F 回路部 1 0 に A G C 信号を直接与えることができる。

【 0 0 5 9 】

これにより、R F 回路部 1 0 の最大利得や最小利得を試験する際に、入力信号のレベルをスイープし、A G C 収束後の A G C 信号やビット誤り率 (B E R : Bit Error Ratio) 特性を評価する必要はなく、出力のレベルを評価するだけでよい。

【 0 0 6 0 】

したがって、入力信号のスイープを行う必要がなく、短時間で試験が可能である。

【 0 0 6 1 】

また、A G C ループが収束するまでの待ち時間を設ける必要がないため、この点においても短時間で試験が可能である。

【 0 0 6 2 】

ところで、上記の A G C 信号入力切り替えスイッチ 3 0 における A G C 信号入

力切替信号TESTの与え方については、各種の構成が考えられる。

【0063】

例えば、図2に示すように、RF回路部10を試験する際のAGC信号入力切替信号TESTを、フロントエンド集積回路1の検査用接続端子31を介して外部から入力することが可能である。

【0064】

このように構成することによって、フロントエンド集積回路1内に試験用の切り替え信号を発生させるための回路が必要でないので、フロントエンド集積回路1を大型化することなく、AGC信号を直接与えることが可能になる。

【0065】

また、他の構成として、例えば、図3に示すように、AGC信号入力切替信号TESTを、フロントエンド集積回路1内に設けた切替制御信号発生手段としてのテスト用切替信号発生回路32にて発生させることが可能である。

【0066】

このフロントエンド集積回路1内のテスト用切替信号発生回路32としては、例えば、局部発振器のPLL設定等に用いるシリアルバスインターフェイスのレジスタを用いることが好ましい。

【0067】

この構成により、検査用接続端子31を追加することなく、テスト用AGC信号を直接与えることが可能になる。

【0068】

一方、テスト用AGC信号の与え方についても、各種の構成が考えられる。

【0069】

例えば、図4に示すように、RF回路部10を試験する際に与えるテスト用AGC信号を、テスト用AGC信号入力端子41を介してフロントエンド集積回路1の外部から入力することが可能である。

【0070】

これにより、試験時のAGC信号を発生させるための回路が必要でなくなるので、フロントエンド集積回路1を大型化することなく、容易にテスト用AGC信

号を直接与えることが可能である。

【0071】

また、このテスト用AGC信号の与え方については、必ずしもこれに限らず、例えば、図5に示すように、RF回路部10を試験する際に与えるテスト用AGC信号をフロントエンド集積回路1内に設けた試験用固定値信号発生手段としての試験用AGC信号発生回路42にて発生させることが可能である。このフロントエンド集積回路1内の試験用AGC信号発生回路42としては、例えば、局部発振器のPLL設定等に用いるシリアルバスインターフェイスのレジスタを用いるのが好ましい。

【0072】

この構成により、テスト用AGC信号入力端子41を追加することなく、テスト用AGC信号を直接与えることが可能になる。

【0073】

このように、本実施の形態のフロントエンド集積回路1では、AGC信号入力切替スイッチ30によって、RF回路部10内のRF可変利得増幅器11及びベースバンド可変利得増幅器13・13へのAGC信号の入力として、デジタル復調回路部20が出力する自動利得制御ループによる内部信号であるAGC信号を用いる場合と、自動利得制御ループを切り離して、AGC信号入力切替信号TESTを直接与える場合とを切り替えることができる。

【0074】

したがって、RF回路部10の試験をする際に、AGC信号に任意の固定値を与えることができ、増幅率特性等を直接容易に試験することができる。また、自動利得制御ループが収束するまでの待ち時間を設ける必要がなく、短時間に試験をすることができるので、テストにかかる費用を抑えることができる。

【0075】

また、AGC信号入力切替スイッチ30は、AGC信号入力切替信号TESTにより切り替えられるので、AGC信号入力切替スイッチ30の操作が容易である。

【0076】

この結果、RF回路部10に含まれるRF可変利得増幅器11及びベースバンド可変利得増幅器13の増幅率特性やその他のRF回路部10のテストを容易に行い得るフロントエンド集積回路1を提供することができる。

【0077】

また、本実施の形態のフロントエンド集積回路1では、AGC信号入力切替スイッチ30を切り替えるためのAGC信号入力切替信号TESTは、外部から入力されるので、フロントエンド集積回路1の内部に検査用の回路を追加してフロントエンド集積回路1を大型化することがない。したがって、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、チップ面積に対する制約が大きいときに有効である。

【0078】

また、本実施の形態のフロントエンド集積回路1では、AGC信号入力切替スイッチ30を切り替えるためのAGC信号入力切替信号TESTは、テスト用切替信号発生回路32から出力される。

【0079】

したがって、外部接続用の検査用ピンを追加する必要があるため、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効である。

【0080】

また、本実施の形態のフロントエンド集積回路1では、自動利得制御ループを切り離れたときに、RF回路部10内のRF可変利得増幅器11及びベースバンド可変利得増幅器13・13へのAGC信号の入力として、試験用制御電圧をテスト用AGC信号として外部から与えることができる。

【0081】

このため、外部からテスト用AGC信号が入力されるので、フロントエンド集積回路1の内部に検査用の回路を追加して回路を大型化することがない。したがって、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、チップ面積に対する制約が大きいときに有効である。

【0082】

また、本実施の形態のフロントエンド集積回路 1 では、直接与えられる試験用のテスト用 A G C 信号を、フロントエンド集積回路 1 内に設けられたテスト用 A G C 信号発生回路 4 2 にて発生させることが可能である。

【0083】

このため、外部接続用の検査用ピンを追加する必要がないので、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効である。

【0084】

〔実施の形態 2〕

本発明の他の実施の形態について図 6 に基づいて説明すれば、以下の通りである。なお、本実施の形態で述べる以外の構成は、前記実施の形態 1 と同じである。したがって、説明の便宜上、前記の実施の形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0085】

前記実施の形態 1 では、切替手段としての A G C 信号入力切替スイッチ 3 0 は、フロントエンド集積回路 1 の内部における R F 回路部 1 0 及びデジタル復調回路部 2 0 以外の部分に設けられていた。

【0086】

しかし、本実施の形態のフロントエンド集積回路 1 における A G C 信号入力切替スイッチ 3 0 は、図 6 に示すように、デジタル復調回路部 2 0 における増幅率制御回路 2 2 の内部に形成されたものとなっている。

【0087】

すなわち、本実施の形態のフロントエンド集積回路 1 におけるデジタル復調回路部 2 0 の増幅率制御回路 2 2 は、レベル検出器 5 1 と A G C 信号入力切替スイッチ 3 0 と、試験用増幅率制御信号発生手段としての試験用増幅率制御信号発生器 5 2 と、増幅率制御信号発生器 5 3 とを有している。

【0088】

そして、このデジタル復調回路部 2 0 の増幅率制御信号発生器 5 3 の出力は、デジタル／アナログ変換回路 5 4 を通して、R F 回路部 1 0 の R F 可変利得増幅

器 11 及びベースバンド可変利得増幅器 13・13 に出力されるようになっている。

【0089】

上記フロントエンド集積回路 1 では、デジタル復調回路部 20 のアナログ／デジタル変換回路 21・21 の出力は、レベル検出器 51、及び AGC 信号入力切替スイッチ 30 を介して増幅率制御信号発生器 53 に入力されるようになっている。さらに、増幅率制御信号発生器 53 の出力は、デジタル／アナログ変換回路 54 を通して、RF 回路部 10 に対して AGC 信号がフィードバック入力されている。

【0090】

一方、本実施の形態では、上記 AGC 信号入力切替スイッチ 30 には試験用増幅率制御信号発生器 52 からの信号も入力されており、AGC 信号入力切替スイッチ 30 によって、この試験用増幅率制御信号発生器 52 からの信号と、レベル検出器 51 からの信号とが切り替えられて、増幅率制御信号発生器 53 に出力されるようになっている。

【0091】

また、本実施の形態では、AGC 信号入力切替信号 TEST は、AGC 信号入力切替スイッチ 30 と試験用増幅率制御信号発生器 52 との両方に入力されている。したがって、AGC 信号入力切替信号 TEST がこれら AGC 信号入力切替スイッチ 30 及び試験用増幅率制御信号発生器 52 の両方に入力されることによって、試験用増幅率制御信号発生器 52 からは試験用増幅率制御信号が発生されるとともに、AGC 信号入力切替スイッチ 30 も試験用増幅率制御信号側に選択されるようになっている。

【0092】

この結果、増幅率制御回路 22 は、通常動作時には、検出したベースバンド出力のレベルに応じてデジタル AGC 信号を出力する。しかし、RF 特性試験時には、増幅率制御回路 22 は、試験に応じたデジタル AGC 信号を固定値を出力する機能を有している。この増幅率制御回路 22 はデジタル回路にて構成されるため、容易に試験用制御信号を生成することが可能である。

【0093】

これにより、検査用ピンを追加することなく、AGC信号を直接与えることが可能になる。

【0094】

このように、本実施の形態のフロントエンド集積回路1では、デジタル復調回路部20には、自動利得制御ループ内に、RF回路部10内のRF可変利得増幅器11及びベースバンド可変利得増幅器13・13へのAGC信号を発生させる増幅率制御信号発生器53を有する増幅率制御回路22が設けられる。また、AGC信号入力切替スイッチ30は、増幅率制御回路22における増幅率制御信号発生器53の前段に設けられている。

【0095】

このため、自動利得制御ループを切り離して直接与えるRF可変利得増幅器11及びベースバンド可変利得増幅器13・13の増幅率制御信号入力として、デジタル復調回路部20の増幅率制御回路22からの制御信号を用いることができる。

【0096】

したがって、本実施の形態では、RF回路部10とデジタル復調回路部20とが1チップで構成されたフロントエンド集積回路1で特に有効である。

【0097】

また、本実施の形態のフロントエンド集積回路1では、自動利得制御ループを切り離して、直接与えられる試験用のAGC信号に相当する試験用増幅率制御信号を増幅率制御信号発生器53にAGC信号入力切替スイッチ30を介して出力する試験用増幅率制御信号発生器52は増幅率制御回路22内に設けられている。

【0098】

このため、外部接続用の検査用ピンを追加する必要がないので、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効である。

【0099】

〔実施の形態 3〕

本発明の他の実施の形態について図 7 に基づいて説明すれば、以下の通りである。なお、本実施の形態で述べる以外の構成は、前記実施の形態 1 と同じである。したがって、説明の便宜上、前記の実施の形態 1 及び実施の形態 2 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0 1 0 0】

本実施の形態のフロントエンド集積回路 1 では、前記実施の形態 1 及び実施の形態 2 の構成に加えて、図 7 に示すように、R F 回路部 1 0 を試験する際に、ベースバンド I / Q アナログ出力を、検査用出力端子としての検査用出力ピン 6 1 ・ 6 2 としてフロントエンド集積回路 1 の外部に取り出すことができるようになっている。

【0 1 0 1】

すなわち、本実施の形態では、R F 回路部 1 0 におけるベースバンド可変利得増幅器 1 3 ・ 1 3 の出力は、スイッチ回路としての B B S 切替スイッチ 6 3 ・ 6 4 を通して、デジタル復調回路部 2 0 のアナログ / デジタル変換回路 2 1 に入力されるようになっている。

【0 1 0 2】

そして、B B S 切替スイッチ 6 3 ・ 6 4 の他の出力は、駆動回路 6 5 ・ 6 6 を介して上記検査用出力ピン 6 1 ・ 6 2 に出力される。

【0 1 0 3】

上記の構成により、デジタル復調回路部 2 0 に R F 回路試験用の手段を設けることなく、R F 回路部 1 0 の増幅率特性、位相雑音、I / Q 位相差の特性試験を直接試験することができる。

【0 1 0 4】

これにより、フロントエンド集積回路 1 を大型化させることなく、精度よく R F 回路部の試験を行うことができる。

【0 1 0 5】

また、本実施の形態では、ベースバンド I / Q アナログ出力を取り出す際に、

駆動回路 65・66 を設けている。

【0106】

このことにより、入力インピーダンスが低い測定器に対しても、高精度の測定に十分な信号レベルを供給することができる。

【0107】

また、本実施の形態では、駆動回路 65・66 はフロントエンド集積回路 1 の内部に設けている。これにより、フロントエンド集積回路 1 内に設けた 2 つの駆動回路 65・66 は、高い相対性を持たせることができ、精度よく I/Q 信号のレベル差、位相差を試験することができる。

【0108】

このように、本実施の形態のフロントエンド集積回路 1 では、BBS 切替スイッチ 63・64 を図示しない出力取り出し切替用制御信号にて制御することにより、RF 回路部 10 から出力されるベースバンドアナログ出力を、デジタル復調回路部 20 に直接入力する場合と、検査用出力ピン 61・62 を介して外部に取り出す場合とを切り替える。

【0109】

このため、RF 回路部 10 の出力を直接取り出すことができるので、デジタル復調回路部 20 に RF 回路試験用の手段を設けることなく、RF 回路部 10 の試験を行うことができる。

【0110】

したがって、フロントエンド集積回路 1 を大型化させることなく、精度良く、さらに短時間で RF 回路部 10 の試験を行うことができ、製造及びテストにかかるコストを抑えることができる。

【0111】

また、本実施の形態のフロントエンド集積回路 1 では、検査用出力ピン 61・62 を介してフロントエンド集積回路 1 外に取り出す場合に、その出力信号に駆動回路 65・66 を付けたので、入力インピーダンスが低い測定器に対しても、高精度の測定に十分な信号レベルを供給することができる。

【0112】

また、本実施の形態では、駆動回路 65・66 はフロントエンド集積回路 1 の内部に設けられているので、駆動回路 65・66 は、高い相対性を持たせることができ、精度よく I/Q 信号のレベル差、位相差を試験することができる。

【0113】

なお、本発明は、上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0114】

【発明の効果】

本発明の集積回路は、以上のように、RF 回路内の可変利得増幅器への増幅率制御信号の入力として、デジタル復調回路が出力する自動利得制御ループによる内部信号を用いる場合と、自動利得制御ループを切り離して、固定値信号を直接与える場合とを切り替える切替手段が設けられているとともに、上記切替手段は、切替制御信号により切り替えられるものである。

【0115】

それゆえ、RF 回路の試験をする際に、増幅率制御信号に任意の固定値を与えることができ、増幅率特性等を直接容易に試験することができる。また、自動利得制御ループが収束するまでの待ち時間を設ける必要がなく、短時間に試験をすることができるので、テストにかかる費用を抑えることができる。

【0116】

また、切替手段は、切替制御信号により切り替えられるので、切替手段の操作が容易である。

【0117】

この結果、RF 回路に含まれる可変利得増幅器の増幅率特性やその他の RF 回路のテストを容易に行い得る集積回路を提供することができるという効果を奏する。

【0118】

また、本発明の集積回路は、上記記載の集積回路において、前記切替手段を切

り替えるための切替制御信号は、外部から入力されるものである。

【0 1 1 9】

それゆえ、切替手段を切り替えるための切替制御信号は、外部から入力されるので、集積回路の内部に検査用の回路を追加して集積回路を大型化することがない。したがって、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、チップ面積に対する制約が大きいときに有効であるという効果を奏する。

【0 1 2 0】

また、本発明の集積回路は、上記記載の集積回路において、前記切替手段を切り替えるための切替制御信号を出力する切替制御信号発生手段が設けられているものである。

【0 1 2 1】

それゆえ、外部接続用の検査用ピンを追加する必要があるため、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効であるという効果を奏する。

【0 1 2 2】

また、本発明の集積回路は、上記記載の集積回路において、前記 R F 回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる固定値信号は、外部から入力される試験用制御電圧であるものである。

【0 1 2 3】

それゆえ、外部から試験用制御電圧が入力されるので、集積回路の内部に検査用の回路を追加して回路を大型化することがない。したがって、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、チップ面積に対する制約が大きいときに有効であるという効果を奏する。

【0 1 2 4】

また、本発明の集積回路は、上記記載の集積回路において、前記 R F 回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる試験用の固定値信号を出力する試験用固定値信号発生手段

が設けられているものである。

【0 1 2 5】

それゆえ、外部接続用の検査用ピンを追加する必要がないので、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効であるという効果を奏する。

【0 1 2 6】

また、本発明の集積回路は、上記記載の集積回路において、前記デジタル復調回路には、自動利得制御ループ内に、前記 R F 回路内の可変利得増幅器への増幅率制御信号を発生させる増幅率制御信号発生器を有する増幅率制御回路が設けられる一方、前記切替手段は、上記増幅率制御回路における上記増幅率制御信号発生器の前段に設けられているものである。

【0 1 2 7】

それゆえ、自動利得制御ループを切り離して直接与える可変利得増幅器の増幅率制御信号入力として、デジタル復調回路の増幅率制御回路からの制御信号を用いることができるという効果を奏する。

【0 1 2 8】

したがって、本発明では、R F 回路とデジタル復調回路とが 1 チップで構成されたフロントエンド集積回路で特に有効である。

【0 1 2 9】

また、本発明の集積回路は、上記記載の集積回路において、前記 R F 回路内の可変利得増幅器への増幅率制御信号の入力として、自動利得制御ループを切り離して、直接与えられる試験用の固定値信号に相当する試験用増幅率制御信号を前記増幅率制御信号発生器に前記切替手段を介して出力する試験用増幅率制御信号発生手段が増幅率制御回路内に設けられているものである。

【0 1 3 0】

それゆえ、外部接続用の検査用ピンを追加する必要がないので、製造コストを抑えた上で、試験時間を短くする効果が得られる。特に、検査用ピン数に対する制約が大きいときに有効であるという効果を奏する。

【0 1 3 1】

また、本発明の集積回路は、上記記載の集積回路において、前記RF回路から出力されるベースバンドアナログ出力を、前記デジタル復調回路に直接入力する場合と、検査用出力端子を介して外部に取り出す場合とを、出力取り出し切替用制御信号により切り替えるスイッチ回路が設けられているものである。

【0132】

それゆえ、RF回路の出力を直接取り出すことができるので、デジタル復調回路にRF回路試験用の手段を設けることなく、RF回路の試験を行うことができる。

【0133】

したがって、集積回路を大型化させることなく、精度良く、さらに短時間でRF回路の試験を行うことができ、製造及びテストにかかるコストを抑えることができるという効果を奏する。

【0134】

また、本発明の集積回路は、上記記載の集積回路において、前記スイッチ回路と検査用出力端子との間には、駆動回路が設けられているものである。

【0135】

それゆえ、検査用ピンとして集積回路外に取り出す場合に、その出力信号に駆動回路を付けたので、入力インピーダンスが低い測定器に対しても、高精度の測定に十分な信号レベルを供給することができるという効果を奏する。

【0136】

また、本実施の形態では、駆動回路は集積回路の内部に設けられているので、駆動回路は、高い相対性を持たせることができ、精度よくI/Q信号のレベル差、位相差を試験することができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明におけるフロントエンド集積回路の実施の一形態を示すブロック図である。

【図2】

AGC信号入力切替スイッチのAGC信号入力切替信号を、外部から入力する

フロントエンド集積回路を示すブロック図である。

【図 3】

A G C 信号入力切替スイッチの A G C 信号入力切替信号を、試験用切替信号発生回路にて発生させるフロントエンド集積回路を示すブロック図である。

【図 4】

A G C 信号入力切替スイッチのテスト用 A G C 信号を、外部から入力するフロントエンド集積回路を示すブロック図である。

【図 5】

A G C 信号入力切替スイッチのテスト用 A G C 信号を、試験用 A G C 信号発生回路にて発生させるフロントエンド集積回路を示すブロック図である。

【図 6】

A G C 信号入力切替スイッチのテスト用 A G C 信号を、試験用 A G C 信号発生回路にて発生させるフロントエンド集積回路を示すブロック図である。

【図 7】

R F 回路部から出力されるベースバンドアナログ出力を、デジタル復調回路部に直接入力する場合と、検査用出力端子を介して外部に取り出す場合とを、出力取り出し切替用制御信号により切り替えるスイッチ回路が設けられているフロントエンド集積回路を示すブロック図である。

【図 8】

従来のフロントエンド集積回路の構成を示すブロック図である。

【符号の説明】

- 1 フロントエンド集積回路
- 10 R F 回路部 (R F 回路)
- 11 R F 可変利得増幅器 (可変利得増幅器)
- 13 ベースバンド可変利得増幅器 (可変利得増幅器)
- 20 デジタル復調回路部 (デジタル復調回路)
- 21 アナログ/デジタル変換回路
- 22 増幅率制御回路
- 30 A G C 信号入力切替スイッチ (切替手段)

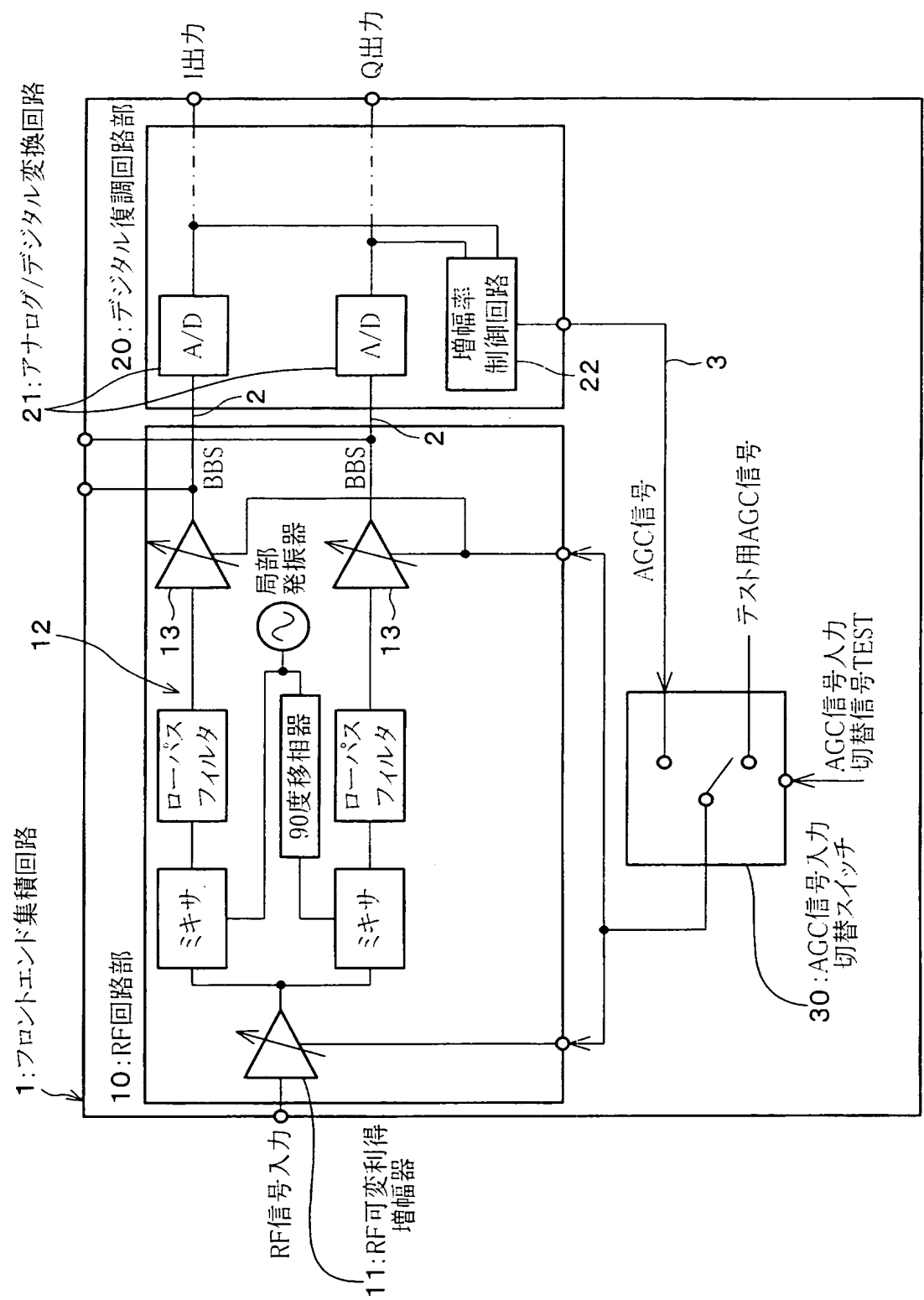
- 3 2 テスト用切替信号発生回路（切替制御信号発生手段）
- 4 2 テスト用 A G C 信号発生回路（試験用固定値信号発生手段）
- 5 2 試験用増幅率制御信号発生器（試験用増幅率制御信号発生手段）
- 5 3 増幅率制御信号発生器
- 6 1 検査用出力ピン（検査用出力端子）
- 6 2 検査用出力ピン（検査用出力端子）
- 6 3 B B S 切替スイッチ（スイッチ回路）
- 6 5 駆動回路
- 6 6 駆動回路

A G C 信号 増幅率制御信号

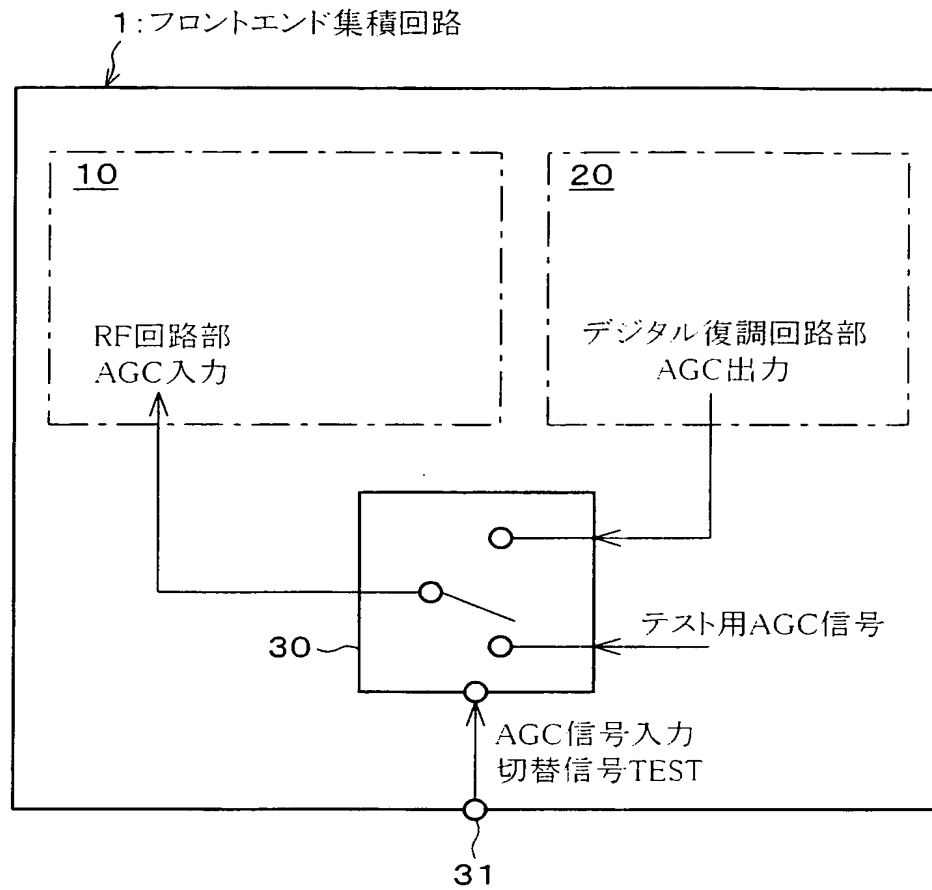
T E S T A G C 信号入力切替信号（切替制御信号）

【書類名】 図面

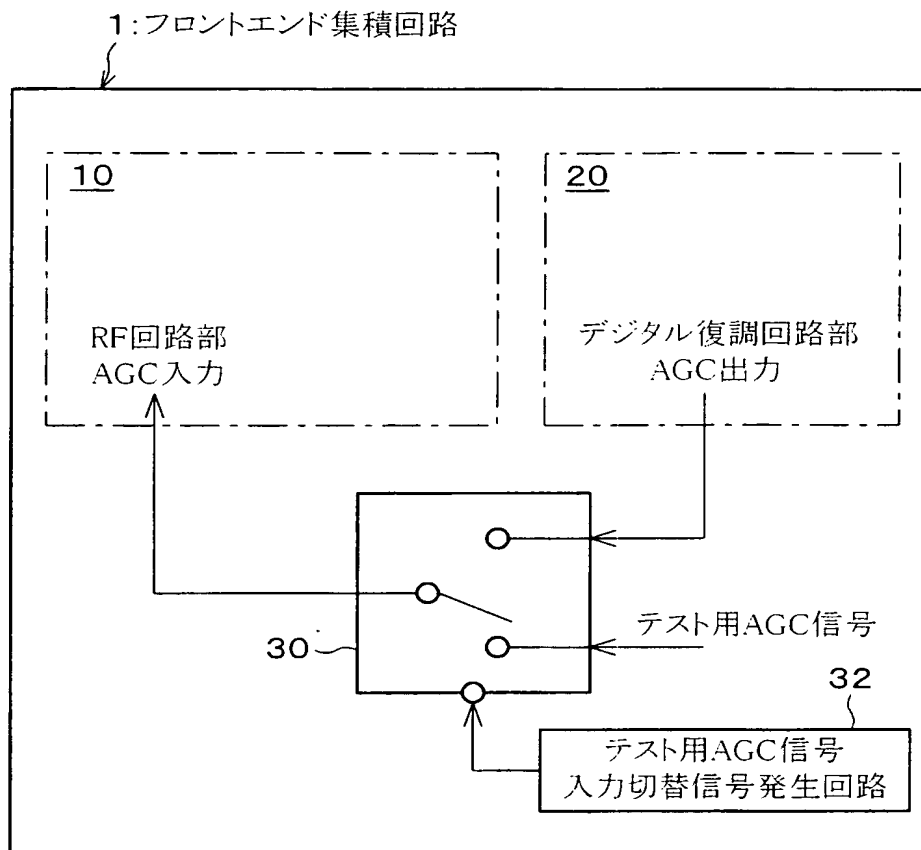
【図 1】



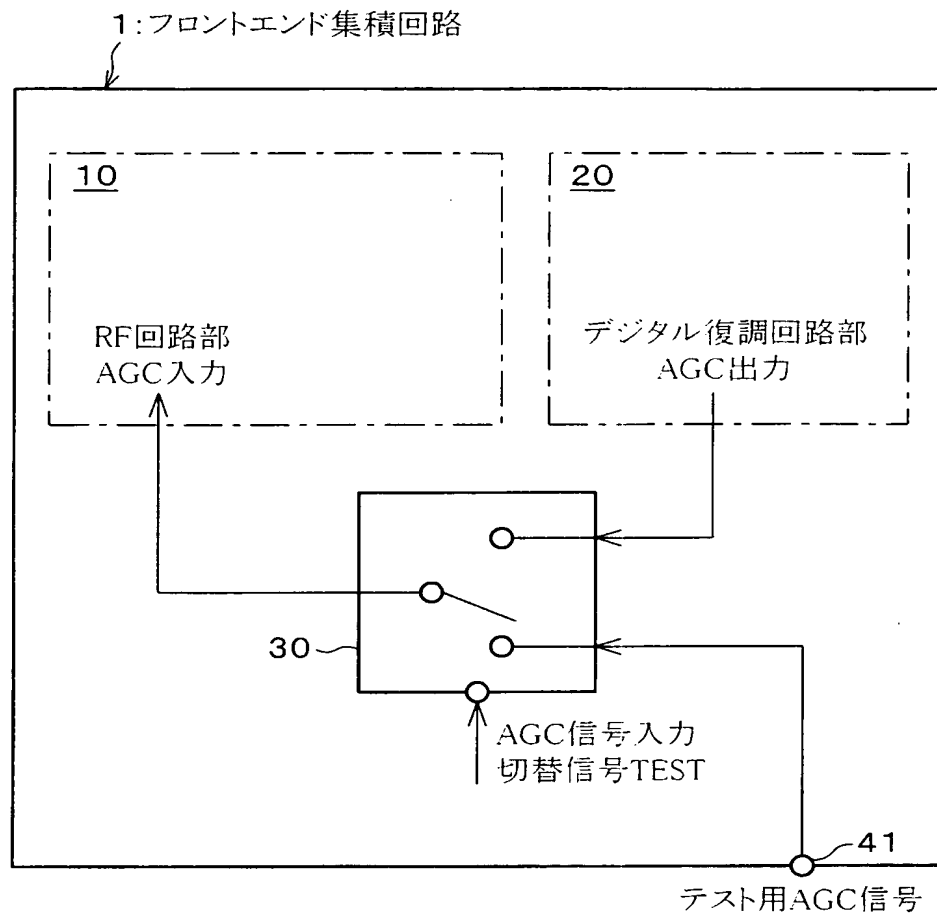
【図 2】



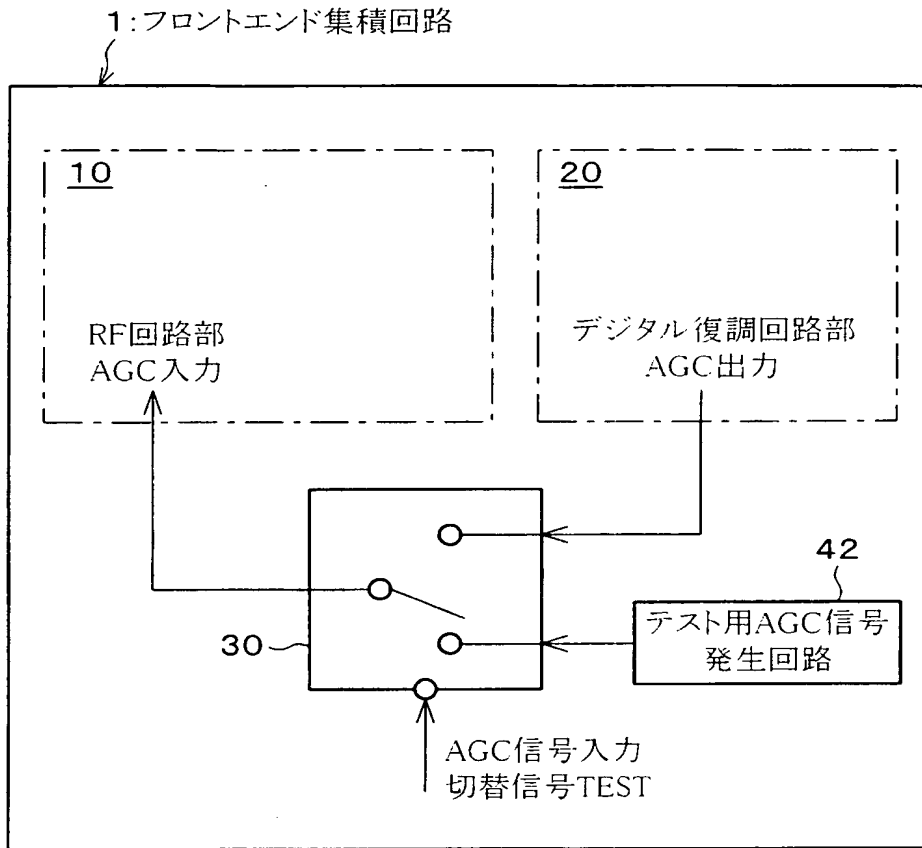
【図3】



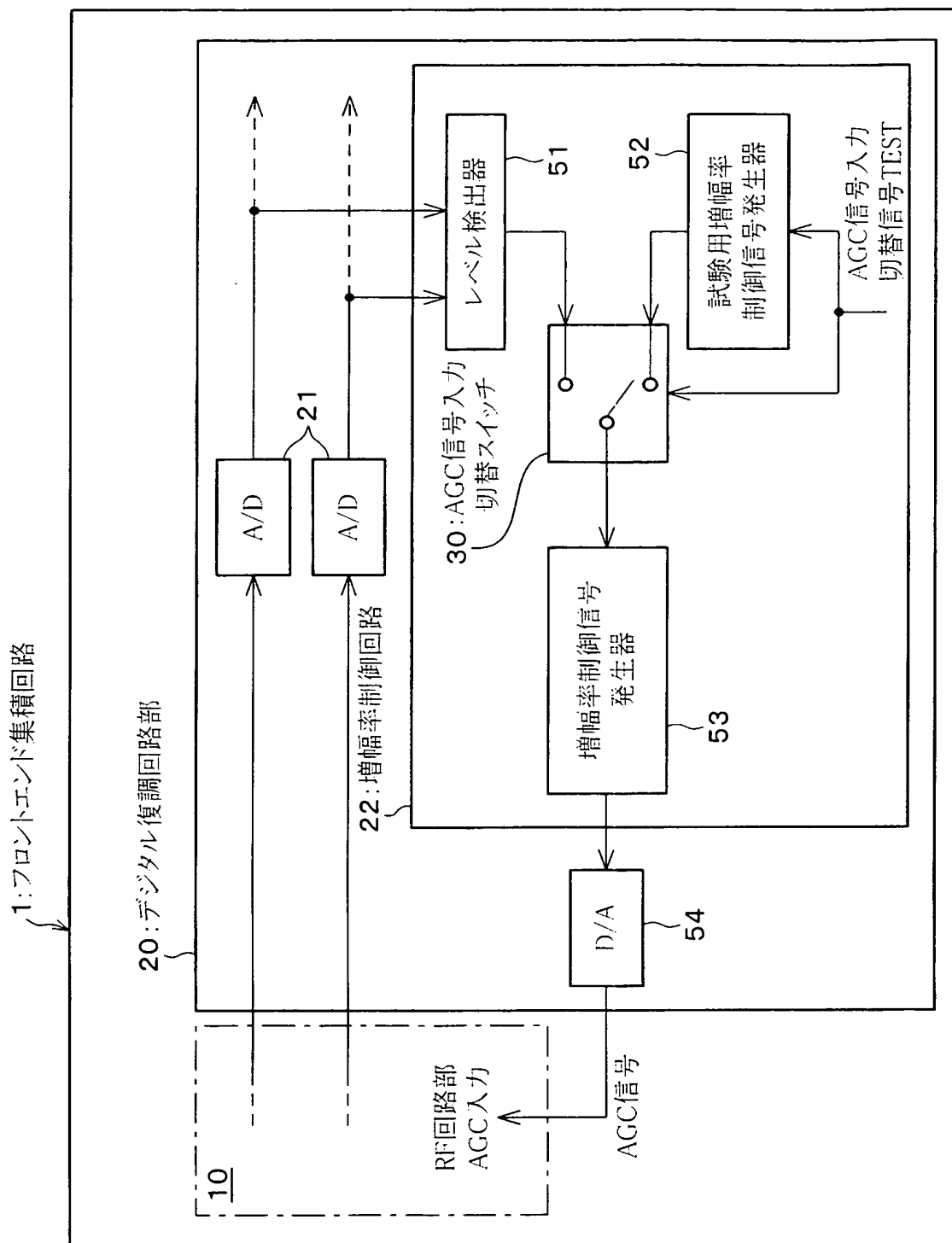
【図 4】



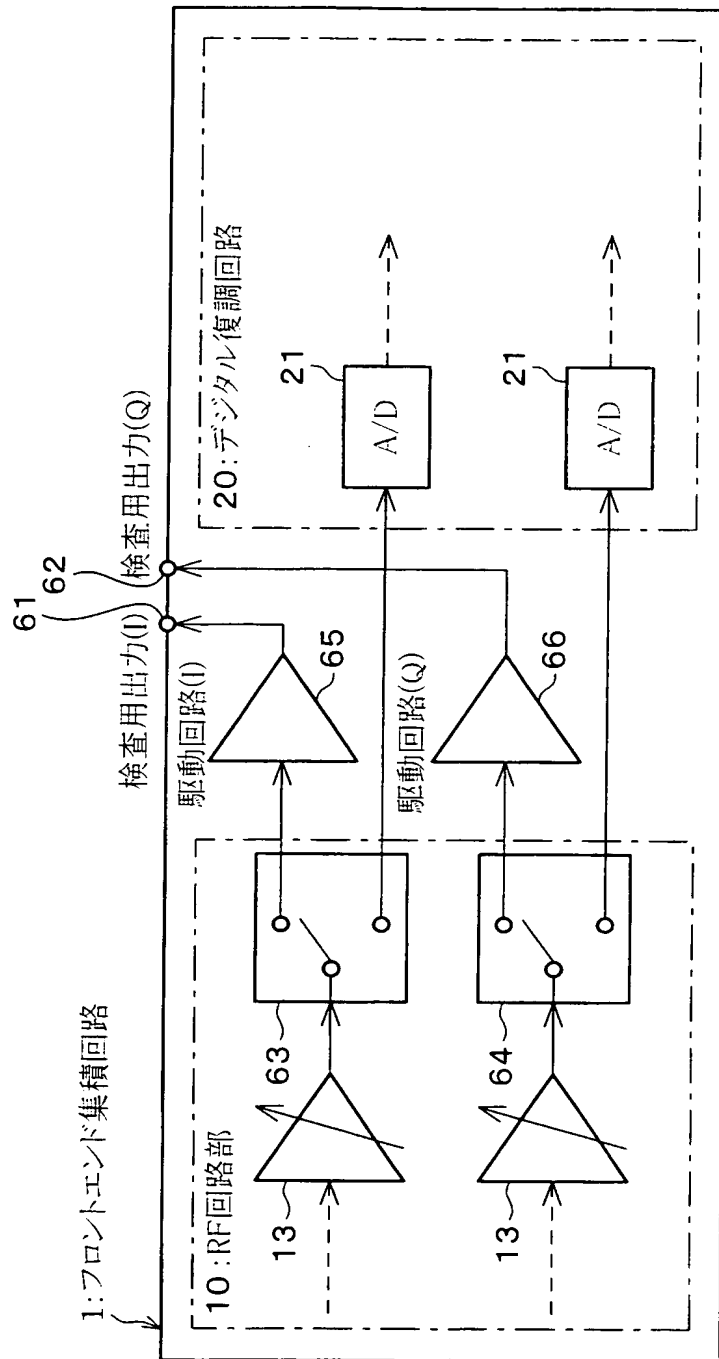
【図 5】



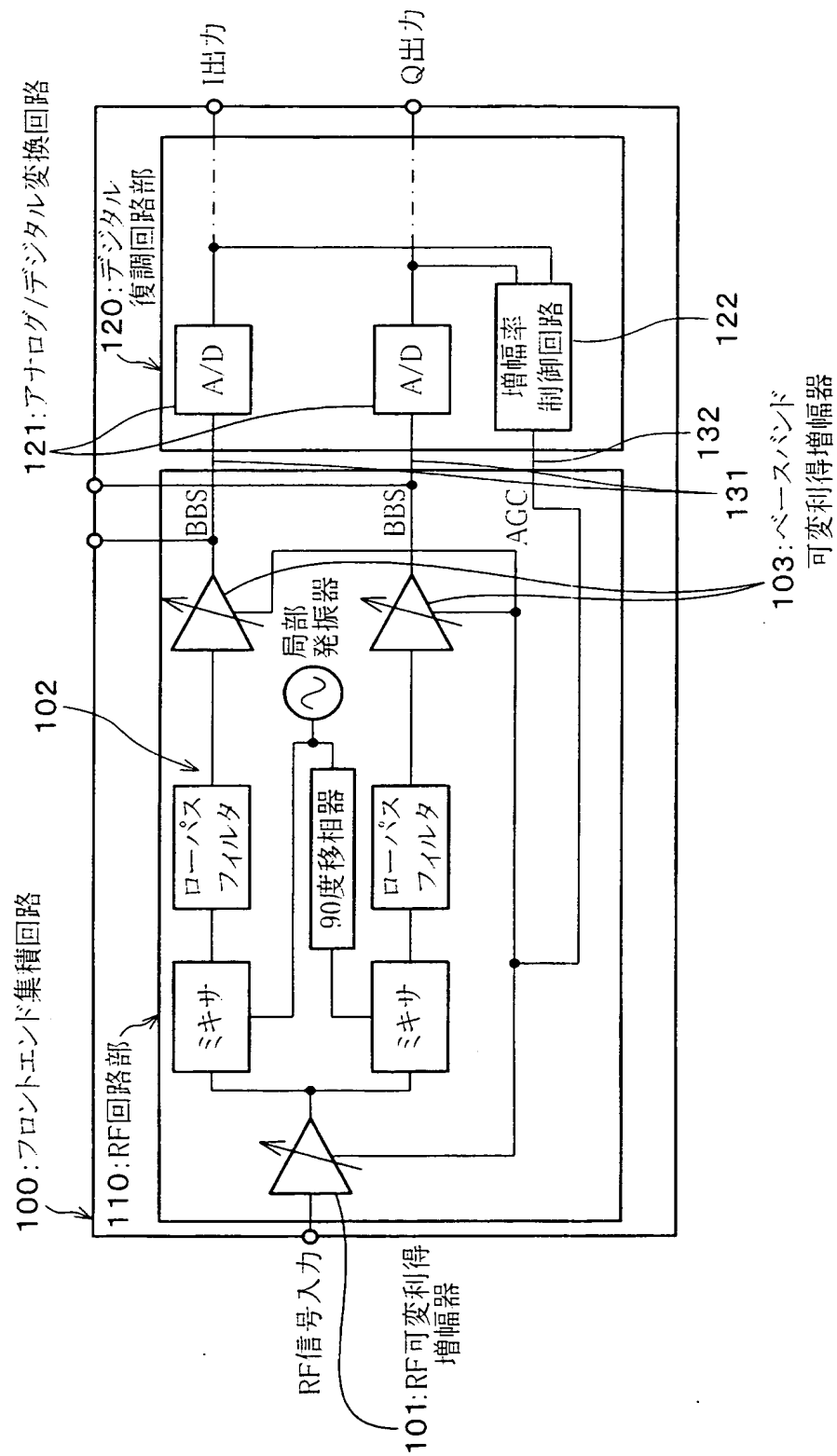
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 R F 回路に含まれる可変利得増幅器の増幅率特性やその他の R F 回路のテストを容易に行い得る集積回路を提供する。

【解決手段】 フロントエンド集積回路 1 は、R F 回路部 1 0 及びベースバンド可変利得増幅器 1 3 ・ 1 3 をする R F 回路部 1 0 と増幅率制御回路 2 2 を有するデジタル復調回路部 2 0 とを 1 パッケージで構成されている。R F 回路部 1 0 内の R F 回路部 1 0 及びベースバンド可変利得増幅器 1 3 ・ 1 3 への A G C 信号の入力として、デジタル復調回路部 2 0 が出力する自動利得制御ループによる内部信号を用いる場合と、自動利得制御ループを切り離して、テスト用 A G C 信号を直接与える場合とを切り替える A G C 信号入力切替スイッチ 3 0 が設けられている。A G C 信号入力切替スイッチ 3 0 は、A G C 信号入力切替信号 T E S T により切り替えられる。

【選択図】 図 1

特願 2 0 0 3 - 0 5 8 1 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社